

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243919
 (43)Date of publication of application : 21.09.1993

(51)Int.Cl. H03K 3/286

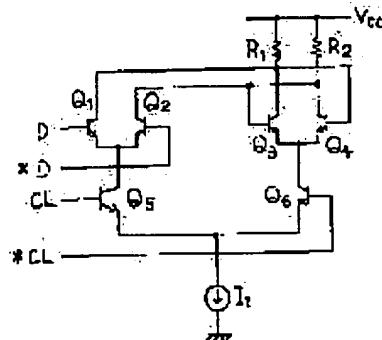
(21)Application number : 04-041195 (71)Applicant : SANYO ELECTRIC CO LTD
 (22)Date of filing : 27.02.1992 (72)Inventor : HORIKOSHI MASARU

(54) LATCH CIRCUIT

(57)Abstract:

PURPOSE: To increase the operation speed of a latch circuit constituted of an ECL without increasing power consumption.

CONSTITUTION: Transistors Q1 and Q2 connected differentially respectively, the transistors Q3 and Q4 whose inputs and outputs are cross-connected and to which the outputs of the transistors Q1, Q2 are impressed, the transistor Q5 to control a current to flow in the transistors Q1, Q2 by a clock signal CL, and the transistor Q6 to control the current to flow in the transistors Q3, Q4 by the inverted signal *CL of the clock signal CL are provided, and the size of the transistor Q5 is made larger than the size of the transistor Q0.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243919

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

H 03K 3/286

識別記号

府内整理番号

F 7436-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号

特願平4-41195

(22)出願日

平成4年(1992)2月27日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 堀越 勝

大阪府守口市京阪本通2丁目18番地 三洋

電機株式会社内

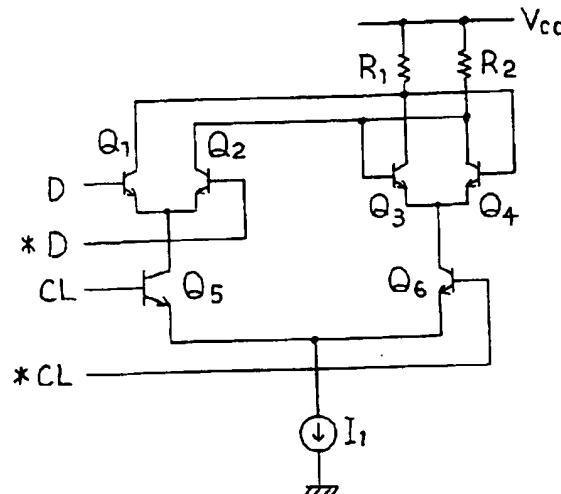
(74)代理人 弁理士 西野 阜嗣

(54)【発明の名称】 ラッチ回路

(57)【要約】

【目的】 本発明は、ECLで構成されたラッチ回路の動作速度を消費電力を増加することなく高速にする。

【構成】 各々差動接続されたトランジスタQ₁及びQ₂と、入力と出力がクロス接続されトランジスタQ₁及びQ₂の出力が印加されたトランジスタQ₃及びQ₄と、トランジスタQ₁及びQ₂に流れる電流をクロック信号CLによって制御するトランジスタQ₅と、トランジスタQ₃及びQ₄に流れる電流をクロック信号CLの反転信号*CLによって制御するトランジスタQ₆とを備え、トランジスタQ₅のサイズをトランジスタQ₆のサイズより大きくする。



【特許請求の範囲】

【請求項1】 相補関係にあるデータ信号が入力に印加され、各々差動接続された第1と第2のトランジスタと、入力と出力がクロス接続され前記第1と第2のトランジスタの出力が印加された第3と第4のトランジスタと、前記第1及び第2のトランジスタに流れる電流をクロック信号によって制御する第5のトランジスタと、前記第3及び第4のトランジスタに流れる電流を前記クロック信号の反転信号によって制御する第6のトランジスタとを備え、前記第5のトランジスタのサイズを前記第6のトランジスタのサイズより大きくすることを特徴とするラッチ回路。

【請求項2】 相補関係にあるデータ信号が入力に印加され、各々差動接続された第1と第2のトランジスタと、入力と出力がクロス接続され前記第1と第2のトランジスタの出力が印加された第3と第4のトランジスタと、前記第1及び第2のトランジスタに流れる電流をクロック信号によって制御する第5のトランジスタと、前記第3及び第4のトランジスタに流れる電流を前記クロック信号の反転信号によって制御する第6のトランジスタとを備え、前記第5のトランジスタは、前記第6のトランジスタと同一のサイズを有するトランジスタを複数並列接続して構成することを特徴とするラッチ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ECL（エミッタ・カップルド・ロジック）によって構成された集積回路に内蔵されるラッチ回路に関する。

【0002】

【従来の技術】 従来ECLによって構成されたラッチ回路は、図3に示すように構成されている。図において、トランジスタQ1とQ2は、エミッタが共通に接続され、各々のベースを入力とする所謂差動増幅回路を構成し、ベースにはデータ信号D及びその反転信号*Dが印加される。トランジスタQ3とQ4は、エミッタが共通に接続され、互いのベースとコレクタがクロス接続されると共に、各々のコレクタと電源V_{CC}の間に負荷抵抗R₁とR₂が接続される。また、トランジスタQ1とQ2のコレクタは、負荷抵抗R₁及びR₂とトランジスタQ3及びQ4のコレクタの接続点に接続される。

【0003】 更に、トランジスタQ1とQ2のエミッタは、クロック信号CLがベースに印加されるトランジスタQ5のコレクタに接続され、トランジスタQ5のエミッタは、電流源I₁に接続される。トランジスタQ3とQ4のエミッタは、クロック信号CLの反転信号*CLがベースに印加されたトランジスタQ6のコレクタに接続され、トランジスタQ6のエミッタは電流源I₁に接続される。

【0004】 図3のラッチ回路において、クロック信号CLが「H」レベル、反転クロック信号*CLが「L」

レベルの場合、トランジスタQ5がオンになり、トランジスタQ6がオフになるため、電流I₁は、トランジスタQ1及びQ2に流れ、トランジスタQ3及びQ4は不動作状態になる。この時、データ信号Dと反転信号*Dの内容にしたがってコレクタ電圧の一方が「L」レベル、他方が「H」レベルとなり、この電圧がトランジスタQ3とQ4のベースに伝達される。

【0005】 次にクロック信号CLが「L」レベル、反転クロック信号*CLが「H」レベルになると、トランジスタQ5がオフし、トランジスタQ6がオンする。従って、トランジスタQ1とQ2が不動作となり、トランジスタQ3とQ4が動作する。この時、トランジスタQ3とQ4は、トランジスタQ1とQ2の出力状態をラッチし保持する。

【0006】

【発明が解決しようとする課題】 図3の回路において、動作速度はトランジスタQ1乃至Q6の特性と、負荷抵抗R₁及びR₂と、電流I₁によって決定され、また、出力電圧の振幅は、負荷抵抗R₁、R₂と電流I₁の積で決定される。しかし、出力電圧の振幅を大きくするためにには、負荷抵抗R₁、R₂の値を大きくするか電流I₁を大きくする必要があるが、負荷抵抗R₁、R₂を大きくすると、トランジスタのコレクター基板容量との時定数が大きくなるため動作速度が遅くなり、また、電流I₁を大きくすると消費電力が大きくなってしまう。

【0007】 そこで、出力電圧の振幅を確保するとともに消費電力を押さえ、且つ動作を更に高速にしたい要求がある。

【0008】

【課題を解決するための手段】 本発明は、上述した点に鑑みて創作されたものであり、相補関係にあるデータ信号が入力に印加され、各々差動接続された第1と第2のトランジスタと、入力と出力がクロス接続され前記第1と第2のトランジスタの出力が印加された第3と第4のトランジスタと、前記第1及び第2のトランジスタに流れる電流をクロック信号によって制御する第5のトランジスタと、前記第3及び第4のトランジスタに流れる電流を前記クロック信号の反転信号によって制御する第6のトランジスタとを備え、前記第5のトランジスタのサイズを前記第6のトランジスタのサイズより大きくすることにより、より高速に動作するラッチ回路を提供するものである。

【0009】

【作用】 入力データを取り込む第1と第2のトランジスタを制御する第5のトランジスタのサイズを大きくすることにより、第1と第2のトランジスタに流れる電流が電流源によって設定された電流に達するまでの時間が短縮されるので、入力データの取り込みと次段への出力が速くなり、全体としての動作速度の高速化が図れる。また、消費電流は電流源によって決定されるため、第5の

トランジスタのサイズを大きくしても消費電力は変わらない。

【0010】

【実施例】図1は、本発明の実施例を示す回路図である。図において、トランジスタQ1とQ2は、エミッタが共通に接続され、各々のベースを入力とする所謂差動增幅回路を構成し、ベースにはデータ信号D及びその反転信号*Dが印加される。トランジスタQ3とQ4は、エミッタが共通に接続され、互いのベースとコレクタがクロス接続されると共に、その接続点にトランジスタQ1とトランジスタQ2のコレクタが各々接続され、伝達されたデータの保持回路を構成している。また、トランジスタQ1のコレクタとトランジスタQ3のコレクタの接続点と電源V_{CC}（例えば、3V～5V）の間、及び、トランジスタQ2のコレクタとトランジスタQ4のコレクタの接続点と電源V_{CC}の間には、各々負荷抵抗R₁とR₂が接続される。この負荷抵抗R₁及びR₂は、前段の差動增幅回路と後段の保持回路で共通に使用されている。

【0011】更に、トランジスタQ1とQ2のエミッタは、クロック信号C_Lがベースに印加されるトランジスタQ5のコレクタに接続され、トランジスタQ5のエミッタは、電流源I₁に接続される。トランジスタQ3とQ4のエミッタは、クロック信号C_Lの反転信号*C_Lがベースに印加されたトランジスタQ6のコレクタに接続され、トランジスタQ6のエミッタは電流源I₁に接続される。

【0012】ここで、トランジスタQ1、Q2、Q3、Q4及びQ6は同一のサイズで構成されるが、トランジスタQ5は、トランジスタQ6のサイズの2倍のサイズで構成されている。図1のラッチ回路において、クロック信号C_Lが「H」レベル、反転クロック信号*C_Lが「L」レベルになると、トランジスタQ5がオンになり、トランジスタQ6がオフになるため、電流I₁はトランジスタQ1及びQ2に流れる。この時、トランジスタQ5の駆動能力が他のトランジスタの2倍になるため、トランジスタQ1とQ2のエミッタ電圧は急速に引き下げられ、トランジスタQ1とQ2のいずれかがオンする時間が短縮される。例えば、トランジスタQ1のベースに供給されたデータ信号Dが「H」レベル、トランジスタQ2のベースに供給されたデータ信号*Dが「L」レベルであるときには、トランジスタQ1が素早くオンする。トランジスタQ1がオンすると、電流I₁は負荷抵抗R₁を介して流れ、トランジスタQ1のコレクタ電圧は、「L」レベルに引き下げられ、この電圧がトランジスタQ4のベースに伝達される。一方、トランジスタQ2はオフするため、負荷抵抗R₂には電流は流れず、そのコレクタ電圧

は「H」レベルになり、トランジスタQ3のベースに伝達される。

【0013】次にクロック信号C_Lが「L」レベル、反転クロック信号*C_Lが「H」レベルになると、トランジスタQ5がオフし、トランジスタQ6がオンする。従って、トランジスタQ1とQ2が不動作となり、トランジスタQ3とQ4が動作する。上述のデータ信号が入力されている場合、「H」レベルが伝達されたトランジスタQ3がオンするため、そのコレクタ電圧は、「L」レベルとなり、トランジスタQ1から伝達された「L」レベルの電圧が保持される。また、トランジスタQ4は、オフとなり、そのコレクタ電圧は「H」となるため、トランジスタQ3のベース電圧が「H」に保持される。

【0014】このように、トランジスタQ5のサイズをトランジスタQ6のサイズの2倍とすることにより、ラッチ回路の動作速度が向上する。また、差動增幅回路と保持回路、即ち、トランジスタQ5とQ6に流れる電流は、定電流源I₁によって定まるため、消費電力は変化しない。図2は、本発明の他の実施例を示す回路図であり、電源V_{CC}の電圧が5V以上と高い場合の回路である。図1と同一部分については説明を略すが、特徴は、トランジスタQ3のコレクタ電圧をトランジスタQ8を介してトランジスタQ4に帰還し、トランジスタQ4のコレクタ電圧をトランジスタQ7を介してトランジスタQ3に帰還する点である。トランジスタQ7及びQ8のコレクタは電源V_{CC}に接続され、エミッタを各々トランジスタQ3及びQ4のベースに接続され、これにより、トランジスタQ3及びQ4のレベルシフトがなされる。そして、トランジスタQ5は図1と同様にトランジスタQ6の2倍のサイズになっているので、同様に動作速度の高速化が実現されている。

【0015】尚、図1及び図2に示された回路では、トランジスタQ5のサイズを2倍にしたが、他と同一サイズのトランジスタを複数並列接続してもよい。

【0016】

【発明の効果】本発明によれば、ラッチ回路の高速動作が消費電力を増すことなく実現できるものであり、例えば、従来400MHzであった最高動作周波数が500MHzから600MHzにまで高めることができた。

40 【図面の簡単な説明】

【図1】本発明の実施例を示す回路図である。

【図2】本発明の他の実施例を示す回路図である。

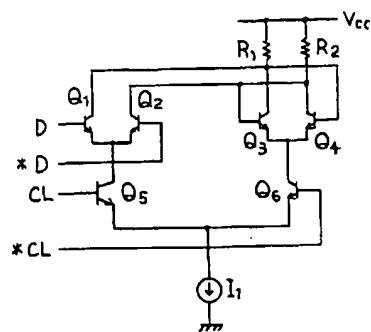
【図3】従来例を示す回路図である。

【符号の説明】

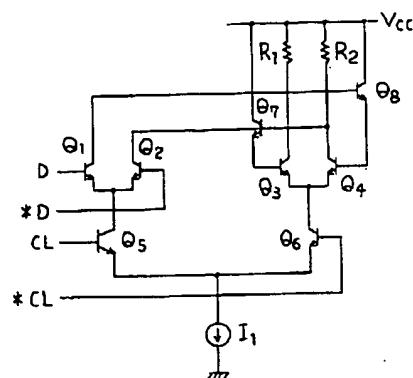
Q₁～Q₈ トランジスタ

I₁ 電流源

【図1】



【図2】



【図3】

